

Parallele opto-elektronische Detektorprozessoren für die Sensortechnik

Lutz Hoppe¹, Michael Förtsch², Andreas Loos¹, Dietmar Fey¹, Horst Zimmermann²,
Friedrich-Schiller-Universität Jena¹, TU Wien², Deutschland/Österreich

Kurzfassung

Wir präsentieren einen Schaltkreis, welcher für zukünftige intelligente optische Sensor-Chips geeignet ist. Im Gegensatz zu bisherigen Ansätzen wird in der Chip-Architektur nicht nur die Signalerfassung, sondern auch die Signalverarbeitung parallel ausgeführt. Dadurch lassen sich sowohl Komponenten einsparen, als auch die Verarbeitungsdaten deutlich erhöhen. Dies erlaubt die Realisierung von zugleich sehr kompakten und sehr schnellen intelligenten Kamerasystemen, die durch die Fortschritte der Mikroelektronik in Zukunft sowohl sehr hohe Auflösungen als auch die Verarbeitung von Graustufen- und Farbbildern auf einem Chip erlauben werden. Die konzeptionellen Vorarbeiten auf der Architekturseite sind dafür bereits mit unserer Arbeit geleistet worden /1/.

1 Einleitung

Parallele opto-elektronische Detektorprozessoren werden den intelligenten bzw. smarten Sensoren zugeordnet. Der übliche Ansatz einer Rechnerarchitektur für einen optischen „intelligenten“ Sensor besteht aus einer CCD-(Charge-Coupled-Device) Matrix zur Signalerfassung, einem Analog-Digital-Konverter zur Digitalisierung und einem Signalprozessor zur Verarbeitung. Dieses Konzept birgt jedoch einen entscheidenden Nachteil in sich. Es erfolgt eine Parallel-Seriell-Wandlung (siehe **Bild 1**) mit entsprechendem Zeitverlust bei der Datenverarbeitung, was speziell in Realzeit-Anwendungen, wie z.B. Tracking-Systemen einen System-Engpass ergeben kann. Der von uns vorgeschlagene Aufbau sieht vor, in einem einzigen Schaltkreis parallele Signalerfassung und parallele Signalvorauswertung mit hartverdrahteten parallelen Algorithmen gemeinsam zu integrieren.

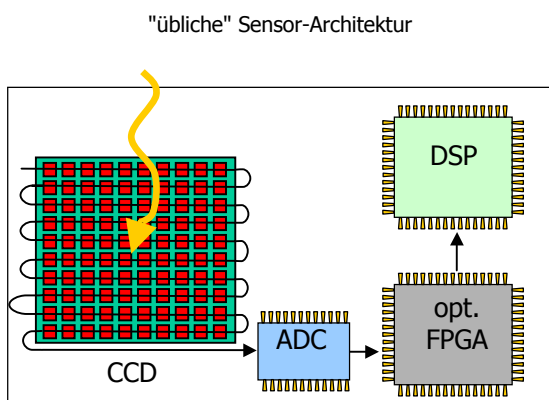


Bild 1 Sensor mit Parallel Seriell-Wandlung

Wir bezeichnen dies als parallelen Sensor, der aus einem 2D-Feld von Prozesselementen (PEs) und einem Verbindungsnetzwerk besteht. Über dieses Netzwerk kommunizieren die Empfänger miteinander, um die Signalverarbeitung zu realisieren. Die Photodioden sind in einer regulären, quadratischen Struktur mit definiertem Abstand angeordnet. In **Bild 2** ist das Prinzip eines solchen Systems dargestellt. Jedem Detektor ist ein eigener A-D-Wandler zugeordnet. Dadurch erfolgt der Signalfluss während der Detektion und Signalverarbeitung durchgängig parallel.

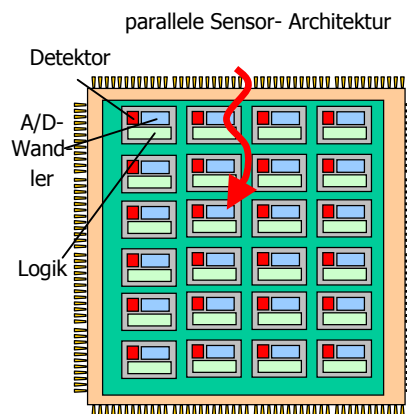


Bild 2 Sensor mit reiner Parallel-Verarbeitung

In Kapitel 2 stellen wir die Architektur des Detektorprozessors vor. Das Kapitel 3 beschreibt die implementierten Bildverarbeitungsalgorithmen und deren Funktionsweise. In Kapitel 4 und 5 wird die Realisierung des Systems und die erreichten Messergebnisse dargestellt. Danach erfolgt eine Zusammenfassung der vorgestellten Arbeiten.

2 Architektur des Detektorprozessors

Jedes PE enthält einen optischen Detektor und einen zugehörigen Komparator zur Analog/Digital-Wandlung des optischen Eingangssignals. Daran direkt angeschlossen ist eine Digitallogik, welche für eine programmierbare Weiterverarbeitung sorgt. Solche opto-elektronischen PEs werden gelegentlich auch als *Smart Pixels* bezeichnet. Über ein sogenanntes NEWS-Netzwerk (siehe **Bild 3**) ist jedes PE mit den unmittelbaren Nachbar-PEs orthogonal verbunden.

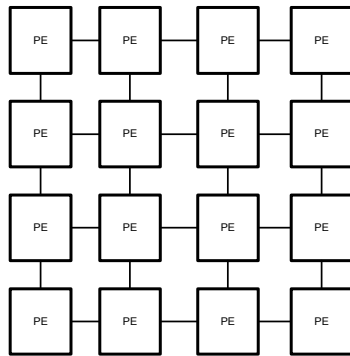


Bild 3 NEWS-Netzwerk

Zur Demonstration des Zusammenwirkens von optoelektronischer analoger Empfängerelektronik und digitaler Verarbeitungslogik wurden einfache Bildverarbeitungs-Algorithmen hartverdrahtet implementiert. Diese erlauben die Berechnung einer Kantendetektion, eines Konturcodes und der morphologischen Basisoperationen der Erosion und der Dilatation auf Binärbildern.

Schwierigkeiten beim *Smart-Pixel*-Ansatz ergeben sich beim physischen Entwurf des Detektorprozessors. Da man möglichst kleine Pixelabstände wünscht, ist es hierbei besonders wichtig, die Fläche der PEs so klein wie möglich zu halten. Die verfügbare Fläche ist durch das Pixelraster gegeben, die vom Abstand der benachbarten Pixel in x - und y -Richtung und der benötigten Fläche des Analogteils abhängig ist. Über eine weitgehend kombinatorische VHDL-Beschreibung konnte eine platzsparende Logik synthetisiert werden, die aus nur 19 Logikzellen einschließlich notwendiger Zwischenspeicher besteht und die o.g. Funktionalität besitzt. Trotz automatischer Platzierung und Verdrahtung der Zellen wird eine Fläche von nur $120 \times 120 \mu\text{m}^2$ benötigt. Somit ist in zukünftigen Designs noch genügend Raum für die Integration zusätzlicher Logik.

Zur besseren Testbarkeit des Systems können die empfangenen Signale extern abgegriffen oder der Bildverarbeitungslogik zu geführt werden. Jedes PE führt zeitgleich dieselbe Operation auf einer 3×3 Pixelumgebung durch. Die Register aller benachbarten

PEs sind zu einem globalen Schieberegister verschaltet, das alle Empfängerelemente verbindet und zugleich für die Chip-externe Kommunikation verwendet werden kann.

3 Implementierte Bildverarbeitungsalgorithmen

Der Detektorprozessor ist als SIMD-(Single Instruction Multiple Data)-Architektur aufgebaut. Dies bedeutet, dass mehrere parallel arbeitende Prozessoren die gleiche Operation auf verschiedenen Daten ausführen. Zur Untersuchung der Leistungsfähigkeit von parallel arbeitenden Prozessorelementen wurden relativ einfache Operationen aus der Bildverarbeitung heran gezogen. Es handelt sich um die bereits erwähnten Funktionen Dilatation, Erosion, Kantendetektion und Konturcode. Diese werden zur Vereinfachung der zu realisierenden Hardware auf reinen Binärbildern (0,1-Zustände) ausgeführt.

Die Dilatation führt dabei zu einer Verschmelzung von eng aneinanderliegenden Objekten und wird vorzugsweise für verrauschte oder gestörte Bilder eingesetzt. Die Dilatation lässt sich mathematisch durch Oder-Verknüpfungen des Binärwertes eines Pixels mit den unmittelbaren orthogonalen Nachbarpixeln ausdrücken. Für das Prozessorelement in der Zeile i und Spalte j ergibt sich:

$$Y_{ij} = X_{ij} \text{ or } X_{i-1,j} \text{ or } X_{i+1,j} \text{ or } X_{i,j-1} \text{ or } X_{i,j+1} \quad (1)$$

Die Erosion ist die Umkehrfunktion zur Dilatation. Es erfolgt die Trennung von scheinbar zusammen gehörenden Bildern zum Zwecke der Objektunterscheidung. Anwendungsgebiete sind falsch belichtete Bilder mit entsprechenden optischen Effekten. Für die Erosion gilt:

$$Y_{ij} = X_{ij} \text{ and } X_{i-1,j} \text{ and } X_{i+1,j} \text{ and } X_{i,j-1} \text{ and } X_{i,j+1} \quad (2)$$

Die Kantendetektion wiederum ist eine klassische Teilfunktion der Objekterkennung. Es gilt für ein Prozessorelement in der Zeile i und Spalte j :

$$Y_{ij} = X_{ij} \text{ and not}(X_{i-1,j} \text{ and } X_{i+1,j} \text{ and } X_{i,j-1} \text{ and } X_{i,j+1}) \quad (3)$$

Auf den Konturcode soll aufgrund des damit verbundenen Umfangs nicht näher eingegangen werden.

Die jeweiligen Einzelprozessoren erhalten die Information über den Zustand des Nachbarn über das bereits erwähnte NEWS-Netzwerk und geben ihren eigenen Status an die Nachbarn weiter. Durch die, mittels spezieller Signale, eingestellte Funktion entsteht am Ausgang des jeweiligen Einzelprozessors der berechnete Status des zugehörigen Pixels.

Aus den genannten Formeln ergeben sich relativ einfache logische, reguläre Strukturen für die einzelnen Prozesselemente, so dass schneller Datendurchsatz garantiert ist. Dies zeigt sich auch an der bereits erwähnten, geringen Zahl von 19 Gattern pro Pixel.

4 Realisierung

Unser Empfänger besteht aus einem regulär angeordneten 8×8 großen Feld von Photodioden, die mit einem Pitch von $250 \mu\text{m}$ platziert sind. Hintergrund ist die vorgesehene Kopplung des Empfängers mit einem entsprechenden Faserarray für Testzwecke /4/. Die Photodioden sind für einen Wellenlängenbereich von $650\text{-}850 \text{ nm}$ optimiert. Die Spannweite der möglichen optischen Eingangsleistung liegt in einem Bereich zwischen $25 \mu\text{W}$ und $500 \mu\text{W}$. Den Photodioden ist ein I/U-Wandler und ein Komparator nachgeschaltet. Das Design der Photodioden und des I/U-Wandlers wurde von Dipl.-Ing. Förtsch unter Leitung von Prof. Zimmermann vom Institut für Elektrische Mess- und Schaltungstechnik an der TU Wien realisiert.

Die vereinfachte Schaltung des optischen Empfängers ist in **Bild 5** zu sehen. Die Fotodiode PD hat eine PIN-Struktur mit einem Durchmesser von $40 \mu\text{m}$. Es war kein zusätzlicher Maskensatz nötig, um im verwendeten Prozess eine vertikale PIN-Struktur zu erreichen. Die PIN-Fotodiode ohne Antireflexions-Schicht hat bei einer optischen Wellenlänge von 670 nm einen Quantenwirkungsgrad von 71% und erreicht Anstiegs- und Abfallzeiten von 610 ps bzw. 515 ps /5/. Der Transimpedanzverstärker wird aus einem CMOS-Inverter (N1 und P1) und einem PMOS-Transistor (P3) als Rückkoppelwiderstand gebildet.

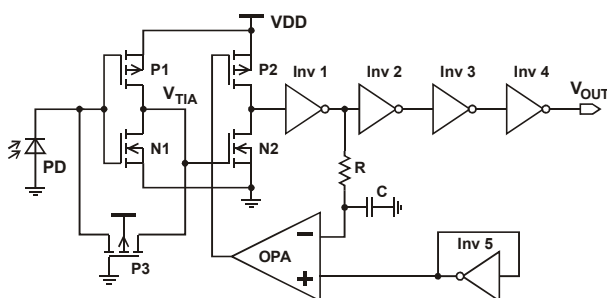


Bild 5 Schaltung des optischen Empfängers

Eine Kette von CMOS-Invertiern (N2 und P2, Inv1 bis Inv4) verstärkt das Ausgangssignal weiter bis digitale CMOS-Pegel erreicht sind. Um minimale Pulsbreitenverzerrungen zu erreichen, muss die Schwellspannung der Inverter-Kette gleich der mittleren Ausgangsspannung des Transimpedanzverstärkers sein.

Um diese Bedingung trotz Prozesstoleranzen, Temperaturschwankungen und unbestimmter optischer

Eingangsleistungen zu erfüllen, wurde eine Arbeitspunktregelung eingefügt. Der Operationsverstärker OPA reguliert die Gate-Spannung des PMOS-Transistors P2 so, dass die mittlere Eingangsspannung des Inverters Inv2 gleich der Schwellspannung des Inverters Inv5 ist. Um ein gutes Matching zu erhalten, haben diese beiden Inverter nichtminimale Gate-Längen. Der optische Empfänger inklusive Guardring-Struktur benötigt eine Chip-Fläche von nur $68 \times 118 \mu\text{m}^2$.

Mit dem Ausgang des optischen Empfängers ist die digitale Logik für die o.g. Bildverarbeitungsoperationen verbunden. Im **Bild 6** ist das realisierte Layout des Empfängers dargestellt.

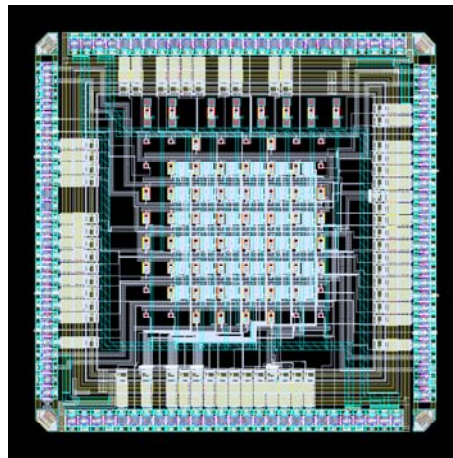


Bild 6 Layout des Sensorchips

Zur Sicherstellung der Testbarkeit der einzelnen Komponenten wurden spezielle Teststrukturen auf dem Chip platziert. Der Schaltkreis wurde in einem XB06P3-BiCMOS-Technologie-Prozess der Firma X-Fab in Erfurt realisiert. Die Funktionalität des Chips wurde in umfangreichen Simulationen am Layout verifiziert. Der analoge Teil des Gesamtaufbaus erlaubt Datenraten bis zu 625 MBit/s . Die Gesamtdatenrate des Chips wird durch die Bildverarbeitungs-funktion reduziert und beläuft sich auf etwa 400 MBit/s .

5 Messergebnisse

In ersten Tests wurde an der TU Wien der optische Empfänger untersucht. Die Messungen erfolgten an einem ungesägten Wafer. Die optische Leistung wurde mit einer am Waferprober justierten Multimodefaser in die Fotodiode eingekoppelt. Bei einer Versorgungsspannung von 5 V , einer optischen Leistung von etwa $100 \mu\text{W}$ und einer Wellenlänge von 670 nm konnte eine

Datenrate von 625Mb/s erreicht werden. Die Lastkapazität am Ausgang des optischen Empfängers betrug dabei 100fF. In **Bild 7** ist das entsprechende Augendiagramm abgebildet.

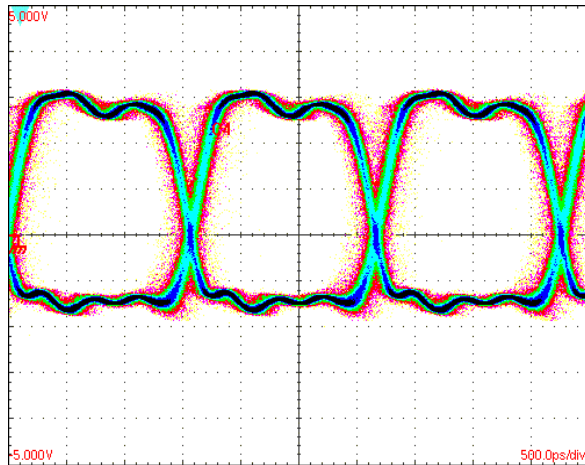


Bild 7 Augendiagramm des optischen Empfängers (DR=625Mb/s, $\lambda=670\text{nm}$ und $P_{\text{OPT}}=100\mu\text{W}$)

Dies zeigt, dass die Photodiode als auch der Transimpedanz-Verstärker die geforderten Parameter erfüllen. Untersuchungen hinsichtlich des digitalen Teils stehen zum Zeitpunkt dieser Veröffentlichung noch aus.

6 Zusammenfassung

Wir präsentierten die Machbarkeit von paralleler Prozesstechnik und parallel-optischer Detektortechnik als System-on-a-Chip-Lösung. Neben der Anwendung als intelligente optische Sensoren sind solche optoelektronischen Schaltkreise auch für die Realisierung optisch dynamisch rekonfigurierbarer Schaltungen mit Rekonfigurationszeiten im μs -Bereich geeignet. Für Demonstrationszwecke wurde ein Parallelprozessorchip als Prototyp auf der funktionalen Basis morphologischer Bildverarbeitungs-Operationen mit einem Feld schneller Photodioden realisiert. Die pro Pixel in der Simulation bestimmte Datenrate von 625 Mbit/s für reinen Empfang bzw. 400 Mbit/s bei Bildverarbeitung konnte für den analogen Teil des Systems bereits bestätigt werden.

Die anhand des Prototypenchips gemachten Erfahrungen beim Architekturentwurf und bei der Technologieerprobung werden Grundlage für eine von uns geplante zukünftige Generation von intelligenten photonischen Sensoren sein.

7 Literatur

- [1] D. Fey, A. Loos: OptoRAP – eine rekonfigurierbare optoelektronische Parallelprozessor-Architektur für die Bildvorverarbeitung. *IT – Information Technology* 45 (2003) 2, S. 92 – 98.
- [2] D. Fey: Spezifikation des Prozessorelements für einen als smarten Detektor integrierbaren parallelen digitalen Bildverarbeitungsprozessor. (Hrsg.: W. Erhard) *Interner Bericht zur Rechnerarchitektur* 4 (1998), 3, Institut für Informatik, Universität Jena
- [3] D. Fey: *Optik in der Rechentechnik – Photonisches VLSI und Optische Netzwerke*. B.G.Teubner, Wiesbaden 2002.
- [4] L. Hoppe, D. Fey, W. Erhard: Reconfigurable opto-electronic board-to-board interconnects based on fibre arrays and FPGAs, Tagungsband 6. Workshop Optik in der Rechentechnik – ORT'02, Mannheim 2002, S.1-6, ISSN 1437-8507
- [5] M. Förtsch, H. Zimmermann, W. Einbrodt, K. Bach, H. Pless: Integrated PIN Photodiodes in High-Performance BiCMOS Technology. *IEEE Int. Electron Devices Meeting (IEDM)*, 2002, pp. 801-804.